

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-056712

(43)Date of publication of application : 03.03.1995

(51)Int.Cl.

G06F 7/50

(21)Application number : 05-165679

(71)Applicant : SGS THOMSON  
MICROELECTRON SA

(22)Date of filing : 05.07.1993

(72)Inventor : CURTET JOEL ANDR E

(30)Priority

Priority number : 92 9208235

Priority date : 03.07.1992

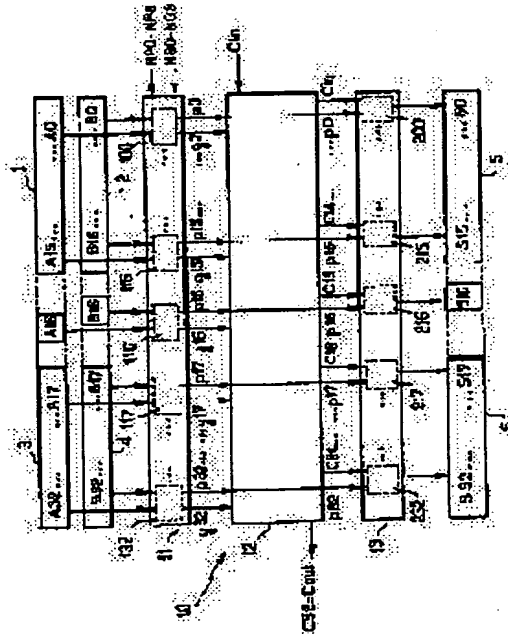
Priority country : FR

(54) PROCESS FOR EXECUTING NUMERICAL CALCULATION AND ARITHMETIC  
UNIT FOR IMPLEMENTING THE PROCESS

(57)Abstract:

PURPOSE: To execute one of two parallel arithmetic operations by using the same operator by selecting the two modes of the operator in a process for executing numerical calculation and an arithmetic unit for implementing the process.

CONSTITUTION: An arithmetic unit is mounted with a 33 bit operator 10. The bits of a rank 16 function for selecting either a first operational mode for executing calculation with the other 32 bits by the operator 10, or a second operational mode for executing two parallel calculation with 16 bits by the operator 10. This unit is used for utilizing the calculation resource of the operator in an optimal state.



## LEGAL STATUS

[Date of request for examination] 29.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-56712

(43) 公開日 平成7年(1995)3月3日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 7/50

識別記号

G

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号 特願平5-165679

(22) 出願日 平成5年(1993)7月5日

(31) 優先権主張番号 9 2 0 8 2 3 5

(32) 優先日 1992年7月3日

(33) 優先権主張国 フランス (F R)

(71) 出願人 593011151

エスジェーエス トムソン ミクロエレクトロニク ソシエテ アノニム  
フランス国, 94253 ジュンティーリ セ  
デ, アブニュ ガリエニ 7

(72) 発明者 アンドレ ジョエル キュルテ

フランス国, 38600 フォンテーヌ, ケ  
デュ ドラ, 43 ア

(74) 代理人 弁理士 宇井 正一 (外4名)

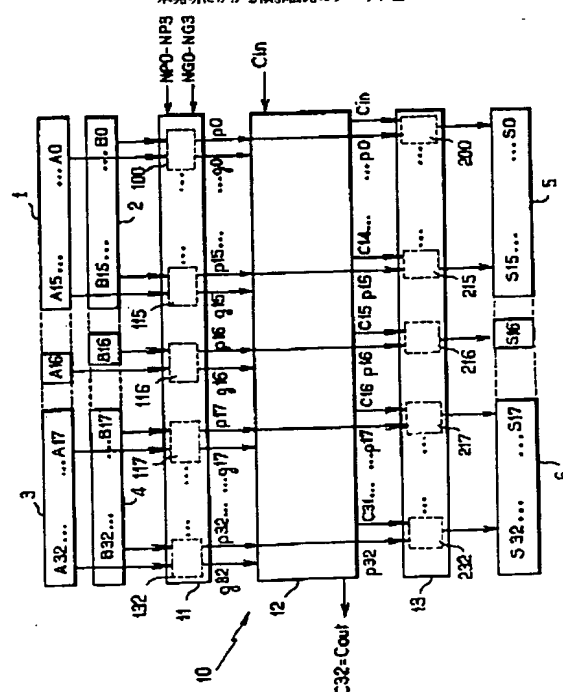
(54) 【発明の名称】 数値計算を実行するプロセスおよびそのプロセスを実現する演算装置

(57) 【要約】

【目的】 本発明は数値計算を実行するプロセスおよびそれを実現する演算装置に関し、演算子の2つのモードを選択することにより2つのパラレル演算の何れかを同じ演算子を用いて行うことができるようにすることを目的とする。

【構成】 演算装置は33ビットの演算子10を搭載している。ランク16のビットは、演算子10が他の32ビットで計算を実行する第1作動モード、または演算子10が16ビットで2つのパラレルな計算を実行する第2作動モードの何れかを選択するために機能する。最適な状態で演算子の計算資源を活用するために使用する。

本発明にかかる演算回路のブロック図



## 【特許請求の範囲】

【請求項1】 2つのNビットのオペランド(A32, A31, ..., A0; B32, B31, ..., B0)を入力してNビットの結果(S32, S31, ..., S0)を生成するために適応される演算子(10)を用いて数値計算を実行し、前記演算子(10)は、プレコンデショニング回路(11)と、キャリー・ゼネレーター(12)と、カスケードにマウントされている合計回路(13)を搭載しており、前記プレコンデショニング回路(11)がパラレルにマウントされているN個のセル(100~132)を搭載しており、これらN個のセルの各々が2つのNビットのオペランドの類似するランク(A0, B0~A32, B32)の2つのビットを入力し且つ類似するランクのこれらの2つのビットの第1と第2のロジック・コンビネーション(p0, g0~p32, g32)を生成し、そこにおいて、キャリー・ゼネレーター(12)がロジック・コンビネーションを前記プレコンデショニング回路と入力キャリー・ビット(Cin)から入力し且つN個のキャリー・ビット(C0~C32)を計算し、なおかつ、合計回路(13)がパラレルにマウントされているN個の要素加算器(200~232)を搭載しており、これらN個の要素加算器の各々が第1ロジック・コンビネーション(p0~p32)の1つを前記プレコンデショニング回路の対応するセルから且つキャリー・ビット(Cin, C0~C31)の1つをキャリー・ゼネレーターから入力し且つ排他的OR論理演算をこの第1ロジック・コンビネーション(p0~p32)とこのキャリー・ビット(Cin, C0~C31)の間で実行することによりNビットの結果のビット(S0~S32)の1つを生成しており、

そこにおいて、プレコンデショニング回路(11)のN個のセルの1つはセレクション・セル(116)として演算子(10)の2つの作動モード、すなわち、そのランクがセレクション・セル(116)と対応するビット(S16)を除いたNビットの結果のビットから構成するN-1ビット(S32, S31, ..., S17, S15, S14, ..., S0)の数が各々そのランクがセレクション・セル(116)と対応するビット(A16, B16)を除いたNビットのオペランドの1つのビットから構成するN-1ビット(A32, A31, ..., A17, A15, A14, ..., A0; B32, B31, ..., B17, B15, B14, ..., B0)の2つの数に対して実行された演算の結果である第1作動モードと、そのランクがセレクション・セル(116)より低いNビットの結果のビットとそのランクがセレクション・セル(116)より高いNビットの結果のビットから各々構成する2つの数(S15, S14, ..., S0; S32, S31, ..., S17)が各々2つの数(A15, A14, ..., A0; B15, B14, ..., B0)に対してパラレルに実行された2つの演算の結果である第2作動モードを選択して制御す

るために使用されていて、各々がそのランクがセレクション・セル(116)より低いNビットのオペランドの1つのビットから構成され、なおかつ、2つの数(A32, A31, ..., A17; B32, B31, ..., B17)に於いて各々がそのランクがセレクション・セル(116)より高いNビットのオペランドの1つのビットから構成される数値計数を実行するプロセス。

【請求項2】 Nが奇数で且つセレクション・セル(116)がプレコンデショニング回路(11)のランク(N-1)/2のセルである請求項1に記載の数値計数を実行するプロセス。

【請求項3】 N=33である請求項2に記載の数値計数を実行するプロセス。

【請求項4】 演算子(10)が加算を実行するために、セレクション・セル(116)以外のプレコンデショニング回路(11)のセル(100~115; 117~132)の少なくとも各々はその第1ロジック・コンビネーション(p0~p15; p17~p32)が2つのNビットのオペランドの対応するランク(A0, B0~A15, B15; A17, B17~A32, B32)の2つのビット間の排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g0~g15; g17~g32)が2つのNビットのオペランドの対応するランク(A0, B0~A15, B15; A17, B17~A32, B32)の2つのビット間のAND論理演算から求められるように制御され、演算子(10)の第1作動モードはその第1ロジック・コンビネーション(p16)が1に等しく且つその第2ロジック・コンビネーション(g16)が0と等しくなるようにセレクション・セル(116)を制御して選択され、なおかつ、演算子(10)の第2作動モードはそのロジック・コンビネーション(p16, G16)が0に等しくなるようにセレクション・セル(116)を制御して選択される請求項1~3の1つの項目に記載の数値計数を実行するプロセス。

【請求項5】 演算子(10)が加算を実行するために、セレクション・セル(116)はその第1ロジック・コンビネーション(p16)が2つのNビットのオペランドの対応するランク(A16, B16)の2つのビット間で排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g16)は2つのNビットのオペランドの対応するランク(A16, B16)の2つのビット間でAND論理演算から求められるように更に制御され、演算子(10)の第1作動モードは反転値をセレクション・セル(116)と同じランクをもつNビットのオペランドの2つのビット(A16, B16)に相互に指定して選択され、なおかつ、演算子(10)の第2作動モードはゼロの値をセレクション・セル(116)と同じランクをもつNビットのオペランドの2つのビット(A16, B16)に指定して選択される

## 3

請求項4に記載の数値計数を実行するプロセス。

【請求項6】 演算子(10)が加算をその第2作動モードに於いて第2入力キャリー・ビット(C2)を各々そのランクがセレクション・セル(116)より高いNビットのオペランドの1つのビットから構成する2つの数(A32, A31, …A17; B32, B31, …B17)に対して実行された加算に追加することによって実行するために、第2入力キャリー・ビット(C2)と等しい値がセレクション・セル(116)と同じランクをもつNビットのオペランドの2つのビット(A16, B16)に指定される請求項5に記載の数値計数を実行するプロセス。

【請求項7】 演算子(10)が減算を実行するために、セレクション・セル(116)以外のプレコンデショニング回路(11)のセル(100~115; 117~132)の少なくとも各々はその第1ロジック・コンビネーション(p0~p15; p17~p32)が第1のNビットのオペランドの対応するランク(A0~A15; A17~A32)のビットと第2のNビットのオペランドの対応するランク(B0~B15; B17~B32)のビットの反転値の間の排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g0~g15; g17~g32)が第1のNビットのオペランドの対応するランク(A0~A15; A17~A32)のビットと第2のNビットのオペランドの対応するランク(B0~B15; B17~B32)のビットの反転値の間のAND論理演算から求められるように制御され、演算子(10)の第1作動モードはその第1ロジック・コンビネーション(p16)が1に等しく且つその第2ロジック・コンビネーション(g16)が0と等しくなるようにセレクション・セル(116)を制御し且つ入力キャリー・ビット(Cin)を1にセットして選択され、なおかつ、演算子(10)の第2作動モードはそのロジック・コンビネーション(p16)が0に等しく且つその第2ロジック・コンビネーション(g16)が1に等しく、入力キャリー・ビット(Cin)が1にセットされたままの状態を保つようにセレクション・セル(116)を制御して選択される請求項1~6の1つの項目に記載の数値計数を実行するプロセス。

【請求項8】 演算子(10)が減算を実行するために、セレクション・セル(116)はその第1ロジック・コンビネーション(p16)が第1のNビットのオペランドの対応するランク(A16)のビットと第2のNビットのオペランドの対応するランク(B16)のビットの反転値の間に排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g16)が第1のNビットのオペランドの対応するランク(A16)のビットと第2のNビットのオペランドの対応するランク(B16)のビットの反転値の間にAND論理演算から求められるように更に制御され、演算子(10)の第1

## 4

作動モードは同じ値をセレクション・セル(116)と同じランクをもつNビットのオペランドの2つのビット(A16, B16)に指定して選択され、なおかつ、演算子(10)の第2作動モードは値1と0を各々セレクション・セル(116)と同じランクをもつNビットのオペランドの2つのビット(A16, B16)に指定して選択される請求項7に記載の数値計数を実行するプロセス。

【請求項9】 演算子(10)が、その第2作動モードに於いて、各々そのランクがセレクション・セル(116)より低いNビットのオペランドの1つのビットから構成する2つの数(A15, A14, …A0; B15, B14, …B0)の間で加算を且つ各々そのランクがセレクション・セル(116)より高いNビットのオペランドの1つのビットから構成する2つの数(A32, A31, …A17; B32, B31, …B17)の間で減算を実行するために、そのランクがセレクション・セル(116)より低いプレコンデショニング回路(11)のセル(100~115)の各々はその第1ロジック・コンビネーション(p0~p15)が2つのNビットのオペランドの対応するランク(A0, B0~A15, B15)の2つのビット間で排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g0~g15)が2つのNビットのオペランドの対応するランク(A0, B0~A15, B15)の2つのビット間でAND論理演算から求められるように制御され、そのランクがセレクション・セル(116)より高いプレコンデショニング回路(11)のセル(117~132)の各々はその第1ロジック・コンビネーション(p17~p32)が第1のNビットのオペランドの対応するランク(A17~A32)のビットと第2のNビットのオペランドの対応するランク(B17~B32)のビットの反転値の間に排他的OR論理演算から求められ且つその第2ロジック・コンビネーション(g17~g32)は第1のNビットのオペランドの対応するランク(A17~A32)のビットと第2のNビットのオペランドの対応するランク(B17~B32)のビットの反転値の間にAND論理演算から求められるように制御され、なおかつ、セレクション・セル(116)はその第1ロジック・コンビネーション(p16)がゼロに等しく且つその第2ロジック・コンビネーション(g16)が1に等しくなるように制御される請求項1~8の1つの項目に記載の数値計数を実行するプロセス。

【請求項10】 演算子(10)が、その第2作動モードに於いて、各々ランクがセレクション・セル(116)より低いNビットのオペランドの1つのビットから構成する2つの数(A15, A14, …A0; B15, B14, …B0)の間で減算を且つ各々そのランクがセレクション・セル(116)より高いNビットのオペランドの1つのビットから構成する2つの数(A32, A

5

31, ..., A17; B32, B31, ..., B17) の間で加算を実行するために、そのランクがセレクション・セル (116) より低いプレコンデショニング回路 (11) のセル (100~115) の各々はその第1ロジック・コンビネーション (p0~p15) が第1のNビットのオペランドの対応するランク (A0~A15) のビットと第2のNビットのオペランドの対応するランク (B0~B15) のビットの反転値の間で排他的OR論理演算から求められ且つその第2ロジック・コンビネーション (g0~g15) が第1のNビットのオペランドの対応するランク (A0~A15) のビットと第2のNビットのオペランドの対応するランク (B0~B15) のビットの反転値の間でAND論理演算から求められるように制御され、そのランクがセレクション・セル (116) より高いプレコンデショニング回路 (11) のセル (117~132) の各々はその第1ロジック・コンビネーション (p17~p32) が2つのNビットのオペランドの対応するランク (A17, B17~A32, B32) の2つのビット間の排他的OR論理演算から求められ且つその第2ロジック・コンビネーション (g17~g32) はNビットのオペランドの対応するランク (A17, B17~A32, B32) の2つのビット間のAND論理演算から求められるように制御され、なおかつ、セレクション・セル (116) はそのロジック・コンビネーション (p16, g16) が0に等しくなるように制御される請求項1~9の1つの項目に記載の数値計算を実行するプロセス。

【請求項11】 演算子 (10) が論理演算を第1のNビットのオペランドの個々のビットと第2のNビットのオペランドの個々のビットの間で実行するために、プレコンデショニング回路 (11) のセル (100~132) はそれらの第2ロジック・コンビネーション (g0~g32) が入力キャリア・ビット (Cin) にも指定されている予め設定された値に全て等しくなるように制御され、キャリア・ゼネレーター (12) に依って生成されるキャリア・ビット (C0~C32) はそこで同様に全てこの予め設定された値をもっている請求項1~10の1つの項目に記載の数値計算を実行するプロセス。

【請求項12】 2つのNビットのオペランド (A32, A31, ..., A0; B32, B31, ..., B0) を入力してNビットの結果 (S32, S31, ..., S0) を生成するように適応されている演算子 (10) を搭載して、演算子 (10) は、プレコンデショニング回路 (11) と、キャリア・ゼネレーター (12) と、カスケードにマウントされている合計回路 (13) を搭載して、そこでは、プレコンデショニング回路 (11) はパラレルにマウントされているN個のセル (100~132) を搭載して、これらのN個のセルの各々が2つのNビットのオペランドの類似するランク (A0, B0~A32, B32) の2つのビットを入力し且つ類似す

6

るランクのこれらの2つのビットの第1と第2のロジック・コンビネーション (p0, g0~p32, g32) を生成し、そこでは、キャリア・ゼネレーター (12) がロジック・コンビネーションをプレコンデショニング回路と入力キャリア・ビット (Cin) から入力し且つN個のキャリア・ビット (C0~C32) を計算し、なおかつそこでは、合計回路 (13) がパラレルにマウントされているN個の要素加算器 (200~232) を搭載して、これらのN個の要素加算器の各々が第1ロジック・コンビネーション (p0~p32) の1つをプレコンデショニング回路の対応するセルから且つキャリア・ビット (Cin, C0~C31) の1つをキャリア・ゼネレーターから入力し且つ排他的OR論理演算をこの第1ロジック・コンビネーション (p0~p32) とこのキャリア・ビット (Cin, C0~C31) の間で実行することに依ってNビットの結果のビット (S0~S32) の1つを生成しており、

そこでは、nとmは $n+1+m=N$ になる整数を指定し、2つのNビットのオペランドの第1のnビット (A0~A15; B0~B15) が2つのnビット入力レジスター (1, 2) を經由してプレコンデショニング回路 (11) の対応するセル (100~115) に送られ、2つのNビットのオペランドの最後のmビット (A17~A32; B17~B32) は2つのmビット入力レジスター (3, 4) を經由してプレコンデショニング回路 (11) の対応するセル (117~132) に送られ、Nビットの結果の第1のnビット (S0~S15) は合計回路 (13) の対応する要素加算器 (200~215) に依ってnビット出力レジスター (5) にアドレス指定され、Nビットの結果の最後のmビット (S17~S32) は合計回路 (13) の対応する要素加算器 (217~232) に依ってmビット出力レジスター (6) にアドレス指定され、そこでは、プレコンデショニング回路 (11) の (n+1) 番目のセルが演算子 (10) の2つの作動モード、すなわち、2つの出力レジスター (5, 6) のビットのユニオンから構成する $n+m=N-1$ ビット (S32, S31, ..., S17, S15, S14, ..., S0) の数が各々nビット入力レジスター (1, 2) のビットとmビット入力レジスター (3, 4) のビットのユニオンから構成する $n+m=N-1$ ビット (A32, A31, ..., A17, A15, A14, ..., A0; B32, B31, ..., B17, B15, B14, ..., B0) の2つの数に対して実行された演算の結果である第1作動モードと、nビット出力レジスター (5) のビットとmビット出力レジスター (6) のビットから各々構成する2つの数 (S15, S14, ..., S0; S32, S31, ..., S17) が各々2つのnビット入力レジスター (1, 2) の11ビットから構成する各々2つの数 (A15, A14, ..., A0; B15, B14, ..., B0) と各々2つのmビット入力レジスター (3, 4) の1つのビットが

ら構成する2つの数(A32, A31, ..., A17; B32, B31, ..., B17)に対してパラレルに実行された2つの演算の結果である第2作動モードを、選択して制御できるセレクション・セル(116)である、演算装置。

【請求項13】 Nが奇数で且つ $n=m=(N-1)/2$ である請求項12に記載の演算装置。

【請求項14】  $n=33$ である請求項13に記載の演算装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電気回路の数値計算を実行するプロセスに関する。またこの発明は、このプロセスを実現する算術演算装置にも関している。

【0002】

【従来の技術】集積回路に用いられている従来の技術の主な目的は処理速度を速くすることにある。この従来の技術が特に関連するセクターは、マイクロコントローラと信号プロセッサ(“デジタル信号プロセッサ”のDSP)を特に使用する、数値データ処理である。これらのタイプの回路は、回路が作動できる最大周波数を決定するデータのクリティカル・ルートをしばしば構成する、算術論理演算装置(ALU)を常に搭載している。

【0003】

【発明が解決しようとする課題】数多くの現在の回路は、理論または演算計算を2つの32ビット・オペランドの間に実行して、計算を32ビットで生成している。しかし、一部の計算は16ビット・オペランドでも実行されることができる(16ビットなどのロジック・オペランドに関して最も正確な管理を必要としない)。ALUはそこで16ビットで作動する必要はないので、その半分は非動作状態になり、ALUの計算機能の半分だけしか用いられない。

【0004】計算時間に換算して最も制約を受けるジョブの1つは、算術加算/減算であり、更に特にこのような演算のキャリー伝搬である。2つのオペランドA( $A_{n-1}, A_{n-2}, \dots, A_1, A_0$ )とB( $B_{n-1}, B_{n-2}, \dots, B_1, B_0$ )の間でnビットの2進加算を行う最も好都合な方法は、要素加算器を用いて、あるビットから次のビットに、キャリーをリニアに伝搬することから構成している。要素加算器は、各々ビットに対して、次に示す演算を実行する。

【0005】 $S_i = A_i \wedge B_i \wedge C_{i-1}$

$C_i = (A_i, B_i) + ((A_i \wedge B_i), C_{i-1})$   
ここで、

$A_i, B_i$ : 各々、オペランドA, Bのi番目のビット  
 $S_i$ : 加算( $S=A+B$ )の結果のi番目のビット  
 $C_i$ : 位置iに於いて要素加算に依って生成されたキャリー

“ $\wedge$ ”: 論理排他的論理和

“.”: 論理積

“+”: 論理和

この方法を用いると、 $T(N) = N \times T_1$ に依ってNビットの1つの2進加算を行うために要求される時間を推定することができる。ここで、 $T_1$ はキャリー $C_i$ を $C_{i-1}, A_i, B_i$ の関数として計算するために各々要素加算器に依って要求される時間を示している。この時間はキャリーの伝搬のシリアル・モードに依って全体的に決定されることが分かる。

【0006】しかし、“キャリー伝搬”関数は更に速く行われることができる。すなわち、シリアル伝搬はパラレル伝搬に代えられる。しかし、このパラレル化を行うことができる種々の方式がある。いま、COMS技術に依って作られる回路に用いられている主な方法には、  
—キャリー・セレクションと、  
—連結演算子を使用する伝搬の離散化がある。

【0007】キャリー・セレクション(キャリー・セレクト)を使用する方法は、例えば、 $N/2$ ビット上で各々作動する3つの加算器サブブロックを用いてNビットに対して演算を細分することから構成している(ここでNは偶数と想定されている)。第1加算器サブブロックはオペランドの $N/2$ の最下位ビットに対してリニア・キャリー伝搬モードで加算を実行するが、他の2つの加算器サブブロックは、パラレルに、オペランドの $N/2$ の最上位ビットに対して加算を実行し、なおかつ、第2サブブロックは第1サブブロックの出力キャリーが0に等しいと想定しているが、第3サブブロックはこのキャリーが1に等しいと想定している。そこで、第1加算器サブブロックを実際に出るキャリーは、検討するためにアドバイスできる第2と第3加算器サブブロックから生じる2つの結果の1つを選択することを可能にするマルチプレクサーを制御する。パラレルに行われる或る計算、キャリー・セレクションの方法を使用するNビット加算の計算時間は、

$$T'(N) = N/2 * T'_1 + T'_0$$

に依って推定されることができる。

【0008】ここで、 $T'_1$ はリニア伝搬を使用する要素加算器の $T_1$ と等しく、なおかつ、 $T'_0$ は中間キャリーの2つの考えられる結果の間の選択のために要求される時間である。 $T'_0$ が無視される場合、 $T'(N)$ (キャリー・セレクト)は $T(N)$ (リニア伝搬)の半分の単位になる。“キャリー・セレクト”の原理は伝搬時間を最適にするために汎用化されることができるので、Nビットの加算を数多くの個別のビットの複数の加算に分割できることに注目すべきである。例えば、32ビット以上の加算は3, 5, 6, 8, 10の昇順サイズの5つのサブブロックに依って行われることができる。

【0009】一般的に、このような“キャリー・セレクト

ト”加算器を用いると、32-ビット以上の加算は、リニア伝搬を用いて実行される時より1.4倍速く実行される。Nビット以上の加算を行う更なるパワフルな方法は、BRENTとKUNGに依って説明される基本原理（コンピュータに関するIEEEトランザクション、Vol. C-31, No. 3, 1982年3月“パラレル加算器のためのレギュラー・レイアウト”）を使用することから構成している、すなわち、Nビット以上の2進加算は、次の関係式に依って定義される連結演算子

ここに； $(G_i, P_i) = (g_i, p_i)$

$(G_i, P_i) = (g_i, p_i) \circ (G_{i-1}, P_{i-1})$  for  $0 < i < N$

入力キャリー $C_{in}$ が決定されると、各々合計ビットが求められる

$S_0 = p_0 \wedge C_{in}$  ; and

$(G_i, P_i) = (g_i, p_i) \circ (g_{i-1}, p_{i-1}) \circ \dots \circ (g_0, p_0)$

$= (g_i, p_i) \circ \dots \circ (g_m, p_m) \circ (g_{m-1}, p_{m-1})$

$\circ \dots \circ (g_0, p_0)$

$= (G_{i,m}; P_{i,m}) \circ (G_{m-1,0}; P_{m-1,0})$

ここに； $(G_{i,m}; P_{i,m}) = (g_m, p_m)$  , if  $i = m$  および

$(G_{i,m}; P_{i,m}) = (g_i, p_i) \circ (G_{i-1,m}; P_{i-1,m})$  if  $i > m$

$(G_i, P_i)$  の計算は、従って、関数的に同じタイプである2つの項 $(G_{i,m}; P_{i,m})$ と $(G_{m-1,0}; P_{m-1,0})$ に基づいて実行される。それらは、 $i-m+1$ （各々 $m$ ）連続する入力ビットの関数であり、なおかつ、演算子“ $\circ$ ”の $i-m$ （各々 $m+1$ ）アプリケーションを要求する。従って、めれらは同じタイプの回路に依って計算されることができる。

【0011】従って、各々キャリー生成ブロックが等しい次元 $m = N/2$ の2つのサブブロックに再帰的に分割される通常のBRENTとKUNG分解を改善することができる。改善は等しくない次元のサブブロックに対する再帰的分割と増幅回路を用いて行われる。これはキャリー伝搬間隔を最小限にする。この最適化原理の基本は“CMOS加算器の時間最適化デザイン”という論文でB. W. Y. WEI, C. THOMPSON, Y.-N. CHENに依って1986年に発表されている（ACSC-85会議に基づく1986 No. CH23317/86/0-000/0186\$01.00のIEEE刊行物：Asilomar回路システムとコンピュータ、186頁）。このアルゴリズムの実行は、ビットの数にリニアに依存しない加算時間を与える（例えば、32-ビット以上の加算は16-ビット以上の加算よりわずかに1.15倍遅いだけである）。

【0012】一般的に、このような加算器を使用すると、32-ビット以上の加算は、同じ加算がリニア・キャリー伝搬を用いて実行される時より、2.3倍速く実行される。32-ビット以上の演算または16-ビット以上の2つのパラレル演算の何れかを選択して与えるために算術と論理装置と同じリニア・キャリー伝搬演算子を希望する時に、それは、セクション・マルチプレク

“ $\circ$ ”を用いてパラレル計算に変換されることができる。

【0010】

$(g_l, p_l) \circ (g_r, p_r) = (g_l + p_l, g_r, p_l, p_r)$

位置 $i$ の各々ビットに対して、次の項を考えてみると、

“generate” :  $p_i = A_i \wedge B_i$  ; and

“propagate” :  $p_i = A_i \wedge B_i$

各々ビットの出力キャリーは、そこで、次のようになる

$C_i = G_i$  for  $i = 0, \dots, N-1$

for  $i = 0$  ; および

$S_i = p_i \wedge C_{i-1}$  for  $0 < i < N$

演算子“ $\circ$ ”が連想型（しかし可換型でない）の場合、

下記を書き込むことができる。

サーを各々ランク15と16の要素加算器の間にマウントして32-ビット演算子の形で実施されることができる。

【0013】セクション・マルチプレクサーのコントロールは、従って、16の最上位ビットに対応する半分の演算子の入力キャリーが16の最下位ビットに対応する半分の演算子の出力キャリーであり且つそれはセクション・マルチプレクサーの入力に送られ、その場合に32-ビット以上の“正規の”加算が行われるか、またはこの入力キャリーはセクション・マルチプレクサーの別の入力に送られる外部キャリー・ビットであり、その場合に16-ビット以上の2つの独立パラレル加算が行われるかどうかについて選択することを可能にする。

【0014】この単純な解決法は、次に示す制約条件のために、キャリー・セクション加算器にも適用されることができる。すなわち、モード・セクション・マルチプレクサー（32-ビットまたは $2 \times 16$ ビット）を容易に挿入するために、ランク15のビットはこのタイプの演算子のサブブロックの1つの出力に位置されていなければならない。そこで、このマルチプレクサーのコントロールを容易に適応できるので、16の最上位ビットに対応する半分の演算子の入力キャリーは、一他の半分の演算子の出力キャリーの場合、32-ビット以上の加算が行われ、一または、外部キャリー・ビットの場合、16ビット以上の2つの独立なパラレル加算が行われる。

【0015】この解決法は、しかし、サブブロックのサイズの最適な選択に関して或る制約条件を要求する。しかし、最適化されるBRENTとKUNGタイプのALUの場合、このように演算子の作動モードを選択する方

法は、このアルゴリズムを実現する利益を失わずに適用されることができない。すなわち、これは、2つのBRENTとKUNGタイプ加算器がシリーズにマウントされることになり、32ビット・モードで作動している時に1つの32ビットのBRENTとKUNGタイプ加算器より非常に速いキャリー伝搬時間になる（普通は1.5倍速い）と思われる。

【0016】従って、典型的な例の $n=m=16$ の場合、 $n+m$ ビット以上の演算または各々 $n$ ビット以上と $m$ ビット以上の2つのパラレル演算の何れかを同じ演算子を用いて行うために、最適キャリー伝搬アルゴリズム、特に最適化されたBRENTとKUNGアルゴリズムを適用して、それを可能にするプロセスが必要になる。

【0017】

【課題を解決するための手段】本発明の目的はこの必要性を満足することにある。本発明は、従って、2つの $N$ ビットのオペランドを入力して $N$ ビットの結果を生成するために適応される演算子を用いる数値計算を実行し、演算子は、プレコンデショニング回路と、キャリー・ゼネレーターと、カスケードにマウントされている合計回路を搭載して、そこでは、プレコンデショニング回路はパラレルにマウントされている $N$ 個のセルを具備して、これらの $N$ 個のセルの各々は2つの $N$ ビットのオペランドの類似するランクの2ビットを入力し且つ類似するランクのこれらの2つのビットの第1と第2のロジック・コンビネーションを生成し、そこでは、キャリー・ゼネレーターはロジック・コンビネーションをプレコンデショニング回路と入力キャリー・ビットから入力し $N$ 個のキャリー・ビットを計算し、なおかつそこでは、合計回路はパラレルにマウントされている $N$ 個の要素加算器を搭載して、これらの $N$ 個の要素加算器の各々は第1ロジック・コンビネーションをプレコンデショニング回路の対応するセルからキャリー・ビットの1つをキャリー・ゼネレーターから入力し且つ排他的OR演算を実行して $N$ ビットの結果のビットの1つを生成して、そこでは、プレコンデショニング回路の $N$ 個のセルの1つはセクション・セルとして演算子の2つの作動モード、すなわち、そのランクがセクション・セルと対応するビットを除いた $N$ ビットの結果のビットから構成する $N-1$ ビットの数は各々そのランクがセクション・セルと対応するビットを除いた $N$ ビットのオペランドの1つのビットから構成している $N-1$ ビットの2つの数に対して実行された演算の結果である第1作動モードと、そのランクがセクション・セルより低い $N$ ビットの結果のビットとそのランクがセクション・セルより高い $N$ ビットの結果のビットから各々構成する2つの数は各々2つの数に対してパラレルに実行された2つの演算の結果である第2作動モードを、選択して制御するために使用されていて、各々がそのランクがセ

クション・セルより低い $N$ ビットのオペランドの1つのビットから構成し、2つの数に於いて各々がそのランクがセクション・セルより高い $N$ ビットのオペランドの1つのビットから構成する、プロセスを提案している。

【0018】従って、演算子の計算資源は最適な状態で使用される。 $n=33$ で且つセクション・セルがプレコンデショニング回路の17番目のセル（またはランク16のセル）である代表的なケースに於いて、このプロセスは、16ビット・オペランドを処理するプログラムの実行のためと16ビット上で2つの演算が同時に実行されることができるために要求される時間を50%同時に短縮することを可能にする。

【0019】本発明は、従って、33ビットの最適化演算子、特にBRENTとKUNGタイプの加算器を生成することを可能にし、セクション・セルを適切に制御するとキャリー・ゼネレーターの作動を変更せずに、次に示すことを可能にする。すなわち、

—セクション・セルを透明と見なして、32ビットの演算を行うか、

—または、セクション・セルを、16の最上位ビットの2次加算器の入力キャリーをセットし、なおかつ、16の最下位ビットの2次加算器から出力キャリーを出力する、16ビット以上の加算を行う2つの独立したサブブロックに加算器を分離するデリミッターと見なす。

【0020】この解決方法は次に示す長所を備えている、すなわち、

—最適化されるBrent [sic] とKungインプレメンテーションにキャリー・ゼネレーターを構成するセルのレイアウトの均一性が確保されている（例えば、この均一性を損ねるおそれがある多重セルの追加がない）、

—表面の増加は最小限にとどまる（1/32または3.12%）

—同じ最適化アルゴリズムが33ビット・キャリー・ゼネレーターを等しくない次元のブロックに分割するために用いられる、

—33ビット以上の計算の伝搬時間の損失（32ビット以上の結果を導く）は1.9%程度なので無視できる（32ビットから33ビット・リニア・キャリー伝搬加算器に進む時は、更なるマルチプレクサーをクロスする時間をカウントせずに、1/32、すなわち、3.12%になる）。

【0021】本発明の第2の見解に従って、前述のタイプの $N$ ビットの演算子をもつ算術演算装置は、 $n$ と $m$ が $n+1+m=N$ となる整数を指定し、2つの $N$ ビット・オペランドの最初の $n$ ビットは2つの $n$ ビット入力レジスターを経由してプレコンデショニング回路の対応するセルに送られ、2つの $n$ ビット・オペランドの最後の $m$ ビットは2つの $m$ ビット入力レジスターを経由してプレコンデショニング回路の対応するセルに送られ、 $N$ ビッ

トの結果の最初の $n$ ビットは合計回路の対応する要素加算器に依って $n$ ビット出力レジスターにアドレス指定され、なおかつ、 $N$ ビットの結果の最後の $m$ ビットは合計回路の対応する要素加算器に依って $m$ ビット出力レジスターにアドレス指定され、そこでは、プレコンデショニング回路の $(n+1)$ 番目のセルは、演算子の2つの作動モード、すなわち、2つの出力レジスターのビットのユニオンから成る $n+m=N-1$ ビットの数は $n+m=N-1$ ビットの2つの数に実行された演算の結果であり各々が $n$ ビット入力レジスターのビットと $m$ ビット入力レジスターのビットのユニオンから成る第1作動モードと、 $n$ ビット出力レジスターのビットと $m$ ビット出力レジスターのビットから各々構成する2つの数が各々2つの数に平行に実行された2つの演算の結果であり各々が2つの $n$ ビット入力レジスターのビットから成り且つ2つの数の上で各々が2つの $m$ ビット入力レジスターのビットから構成する第2作動モードを、選択して制御できるセレクション・セルであるように構成されている。

【0022】この算術演算装置は前述のプロセスを実現するように構成されている。

【0023】

【実施例】図1を見ると、本発明にかかる演算装置は、2つの $N$ ビット・オペランド $A_{32}, A_{31}, \dots, A_0; B_{32}, B_{31}, \dots, B_0$ を受けて、 $N$ ビットの結果 $S_{32}, S_{31}, \dots, S_0$ を生成するように適応されている演算子10を搭載している。図示されている例の場合、 $N=33$ である。

【0024】演算子10は、プレコンデショニング回路11と、キャリー・ゼネレーター12と、カスケードにマウントされている合計回路13を搭載している。プレコンデショニング回路11は平行にマウントされている $N$ 個の同じセル100~132を搭載している。これらの $N$ 個のセル100~132の各々は、2つの $N$ ビットのオペランドの類似のランク $A_0, B_0 \sim A_{32}, B_{32}$ の2つのビットを受けて、類似のランクのこれらの2つのビットの2つのロジック・コンビネーション $p_0, g_0 \sim p_{32}, g_{32}$ を生成していて、そのコンビネーションは8つの2進制御信号 $NP_0 \sim NP_3, NG_0 \sim NG_3$ に依って決定される。

【0025】図2はプレコンデショニング回路11に使用できる図解用セルを示している。このセルは第1ロジ

$$\begin{aligned} p_i = & NP_0. NA_i. NB_i \\ & + NP_1. NA_i. B_i \\ & + NP_2. A_i. NB_i \\ & + NP_3. A_i. B_i \end{aligned}$$

ここで、“+”はOR論理演算を、“.”はAND論理演算を示している。

$$\begin{aligned} g_i = & NG_0. NA_i. NB_i \\ & + NG_1. NA_i. B_i \end{aligned}$$

ック・コンビネーション $p_i$ を生成するために信号 $NP_0 \sim NP_3$ に依って制御されるモジュール20と第2ロジック・コンビネーション $g_i$ を生成するために信号 $NG_0 \sim NG_3$ に依って制御される同じモジュール50を搭載している。モジュール20は、第1ロジック・コンビネーション $p_i$ を送るセルの出力に接続されている8個のMOSトランジスター・ライン21~28を搭載している。 $A_i$ と $B_i$ は2つの $N$ ビットのオペランドの対応するランクの2つのビットを指定しているので、直線状に前進する反転ゲートから得られるビット $A_i$ と $B_i$ の論理反転は、図示されていないが、指定された $NA_i$ と $NB_i$ になる。ライン21は、2進制御信号 $NP_3$ を入力し、そのゲートがビット $NA_i$ と $NB_i$ を各々受信する2つの $p$ チャンネルMOSトランジスター31, 41のソース・ドレイン・パスを搭載している。ライン22は、2進制御信号 $NP_2$ を受信し、そのゲートがビット $NA_i$ と $B_i$ を各々受信する2つの $p$ チャンネルMOSトランジスター32, 42のソース・ドレイン・パスを搭載している。ライン23は、2進制御信号 $NP_1$ を入力し、そのゲートがビット $A_i$ と $NB_i$ を各々受信する2つの $p$ チャンネルMOSトランジスター33, 43を搭載している。ライン24は、2進制御信号 $NP_0$ を入力し、そのゲートがビット $A_i$ と $B_i$ を各々受信する2つの $p$ チャンネルMOSトランジスター34, 44のソース・ドレイン・パスを搭載している。ライン25は、2進制御信号 $NP_0$ を入力し、そのゲートがビット $NA_i$ と $NB_i$ を各々入力する2つの $n$ チャンネルMOSトランジスター35, 45のソース・ドレイン・パスを搭載している。ライン26は、2進制御信号 $NP_1$ を入力し、そのゲートがビット $NA_i$ と $B_i$ を各々入力する2つの $n$ チャンネルMOSトランジスター36, 46のソース・ドレイン・パスを搭載している。ライン27は、2進制御信号 $NP_2$ を入力し、そのゲートがビット $A_i$ と $NB_i$ を各々入力する2つの $n$ チャンネルMOSトランジスター37, 47のソース・ドレイン・パスを搭載している。ライン28は、2進制御信号 $NP_3$ を入力し、そのゲートがビット $A_i$ と $B_i$ を各々入力する2つの $n$ チャンネルMOSトランジスター38, 48のソース・ドレイン・パスを搭載している。従って、モジュール20の出力 $p_i$ は次に示すロジック・コンビネーションになる。すなわち、

(1)

【0026】同様に、モジュール50は、下記と等しいロジック・コンビネーション $g_i$ を送る。すなわち、

$$+NG2. \quad A_i. \quad NB_i \\ +NG3. \quad A_i. \quad B_i$$

セル100～132に依って生成されるロジック・コンビネーション $p_i, g_i$ は、従って、制御信号NP0～NP3, NG0～NG3の値を固定して選択されることができる。

【0027】キャリア・ゼネレーター12は、プレコンデショニング回路11と入力キャリア・ビット $C_{in}$ から生じるロジック・コンビネーションを入力して、N個のキャリア・ビット $C_0 \sim C_{32}$ を計算する。キャリア・ゼネレーター12は、 $N=33$ -ビットで最適化されるBRENTとKUNGアルゴリズムを実現するために前述の“CMOS加算器の時間最適化デザイン”という論文で説明された方式で生成される。キャリア・ゼネレーター12に依って計算される最後のキャリア・ビット $C_{32}$ は、演算子10の出力キャリア・ビット $C_{out}$ と等しくなる。

【0028】合計回路13はパラレルにマウントされているN個の要素加算器200～232を搭載している。これらのN個の要素加算器200～232の各々は、プレコンデショニング回路11の対応するセルとキャリア・ゼネレーター12から生じてNビットの結果のビット $S_0 \sim S_{32}$ の1つを生成するキャリア・ビット $C_{in}$ ,  $C_0 \sim C_{31}$ の1つから生じる第1ロジック・コンビネーション $p_0 \sim p_{32}$ の1つを入力する排他的ORゲートから構成している。Nビットの結果のランク0のビットは $p_0 \wedge C_{in}$ に等しい、ここで、“ $\wedge$ ”は排他的OR論理演算を示しているが、Nビットの結果のランク $i > 0$ のビットは $p_i \wedge C_{i-1}$ に等しい。

【0029】図1に図示されている演算装置は2つのnビット入力レジスター1, 2と2つのmビット入力レジスター3, 4とnビット出力レジスター5とmビット出力レジスター6を更に搭載している。nとmは $n+1+m=N$ となる整数である。図示されている実施例の場合、Nは奇数( $N=33$ )なので、 $n=m=(N-1)/2=16$ になる。2つのNビットのオペランドの最初のnビット $A_0 \sim A_{15}, B_0 \sim B_{15}$ (最下位ビット)は、2つのnビット入力レジスター1, 2を経由してプレコンデショニング回路11の対応するセル100～115に送られる。2つのNビット・オペランドの最後のmビット $A_{17} \sim A_{32}, B_{17} \sim B_{32}$ (最上位ビット)は、2つのmビット入力レジスター3, 4を経由してプレコンデショニング回路11の対応するセル117～132に送られる。Nビットの結果の最初のnビット $S_0 \sim S_{15}$ は、合計回路13の対応する要素加算器200～215に依ってnビット出力レジスター5にアドレス指定される。Nビットの結果の最後のmビット $S_{17} \sim S_{32}$ は、合計回路13の対応する要素加算器217～232に依ってmビット出力レジスター6にアドレス指定される。

(2)

【0030】プレコンデショニング回路11の( $n+1$ )番目のセル、またはランクnのセルは、次に詳細に説明される演算子10の2つの作動モードを選択して制御するためにセレクション・セル116として使用される。N-1ビットを搭載する第1作動モードに於いて、 $n+m=N-1$ ビット $S_{32}, S_{31}, \dots, S_{17}, S_{15}, S_{14}, \dots, S_0$ が2つの出力レジスター5, 6のビットのユニオンから構成する数は、 $n+m=N-1$ ビット、 $A_{32}, A_{31}, \dots, A_{17}, A_{15}, A_{14}, \dots, A_0$ がnビット入力レジスター1のビットとmビット入力レジスター3のビットのユニオンから構成する数と、 $n+m=N-1$ ビット、 $B_{32}, B_{31}, \dots, B_{17}, B_{15}, B_{14}, \dots, B_0$ がnビット入力レジスター2のビットとmビット入力レジスター4のビットのユニオンから構成する数に対して実行された演算の結果である。そのランクがセレクション・セル116に対応するビット $S_{16}$ を除いたNビットの結果のビットから構成するN-1ビット $S_{32}, S_{31}, \dots, S_{17}, S_{15}, S_{14}, \dots, S_0$ の数は、そこで、各々そのランクがセレクション・セル116に対応するビット $A_{16}, B_{16}$ を除いたNビットのオペランドの1つのビットから構成するN-1ビット、 $A_{32}, A_{31}, \dots, A_{17}, A_{15}, A_{14}, \dots, A_0$ と $B_{32}, B_{31}, \dots, B_{17}, B_{15}, B_{14}, \dots, B_0$ の2つの数に対して実行された演算の結果になる。

【0031】nとmビットを搭載する第2作動モードに於いて、nビット出力レジスター5のビットとmビット出力レジスター6のビットから各々構成する2つの数 $S_{15}, S_{14}, \dots, S_0$ と $S_{32}, S_{31}, \dots, S_{17}$ は、各々2つのnビット入力レジスター1, 2の1つのビットから構成する、各々2つの数 $A_{15}, A_{14}, \dots, A_0$ と $B_{15}, B_{14}, \dots, B_0$ と、各々2つのmビット入力レジスター3, 4の1つのビットから構成する2つの数 $A_{32}, A_{31}, \dots, A_{17}$ と $B_{32}, B_{31}, \dots, B_{17}$ に対してパラレルに実行された2つの演算の結果である。そのランクがセレクション・セル116より低いNビットの結果のビットと且つそのランクがセレクション・セル116より高いNビットの結果のビットから各々構成する2つの数 $S_{15}, S_{14}, \dots, S_0$ と $S_{32}, S_{31}, \dots, S_{17}$ は、そこで、各々そのランクがセレクション・セル116より低いNビットのオペランドのビットから構成される各々2つのnビットの数 $A_{15}, A_{14}, \dots, A_0$ ;  $B_{15}, B_{14}, \dots, B_0$ と、各々そのランクがセレクション・セル116より高いNビットのオペランドの1つのビットから構成する2つのmビットの数 $A_{32}, A_{31}, \dots, A_{17}$ ;  $B_{32}, B_{31}, \dots, B_{17}$ に対してパラレルに実行された2つの演算の結果にな

【0032】演算子10が加算を実行するために、セレクション・セル116以外のプレコンデショニング回路11のセル100~115, 117~132の各々は、そのロジック・コンビネーション $p_i$ ,  $g_i$ が $p_i = A_i \wedge B_i$ になり、 $g_i = A_i \cdot B_i$ になるように制御される。これは、これらのセル100~115, 117~132の各々に対して $NP0 = NP3 = NG0 = NG1 = NG2 = 0$ と $NP1 = NP2 = NG3 = 1$ （関係式1と2）を実施し求められる。これらの条件のもとで、演算子10の第1作動モードはその第1ロジック・コンビネーション $p_{16}$ が1に等しく且つその第2ロジック・コンビネーション $g_{16}$ が0に等しくなるようにセレクション・セル116を制御して選択され、なおかつ、演算子10の第2作動モードはその第1ロジック・コンビネーション $p_{16}$ ,  $g_{16}$ が0に等しくなるようにセレクション・セル116を制御して選択される。

【0033】2つの作動モード間の選択は、例えば、第1モードのセレクション・セル116に対して $NP0 = NP1 = NP2 = NP3 = 1$ と $NG0 = NG1 = NG2 = NG3 = 0$ を、または第2モードのセレクション・セル116に対して $NP0 = NP1 = NP2 = NP3 = 0$ と $NG0 = NG1 = NG2 = NG3 = 0$ の何れかを実施して実行されることが出来る。

【0034】しかし、演算子10が加算を実行する時に、 $p_{16} = A_{16} \wedge B_{16}$  ( $NP0 = NP3 = 0$ ,  $NP1 = NP2 = 1$ ) 且つ  $g_{16} = A_{16} \cdot B_{16}$  ( $NG0 = NG1 = NG2 = 0$ ,  $NG3 = 1$ ) になるようにセレクション・セル116を制御することが更に望まれる。演算子10の第1作動モードは反転値をNビットのオペランドの2つのビット $A_{16}$ ,  $B_{16}$ に相互に指定して選択され、なおかつ、演算子10の第2作動モードはゼロの値をNビットのオペランドの2つのビット $A_{16}$ ,  $B_{16}$ に指定して選択される。これは、同じ2進制御信号 $NP0 \sim NP3$ ,  $NG0 \sim NG3$ をプレコンデショニング回路11のN個のセルにアドレス指定することを可能にする。第2作動モードに於いて、Nビットの結果のビット $S_{16}$ の値は2つのnビットの数 $A_{15}$ ,  $A_{14}$ , ...,  $A_0$ と $B_{15}$ ,  $B_{14}$ , ...,  $B_0$ に対して実行された加算の出力キャリアと解釈され、なおかつ、出力キャリア・ビット $C_{32} = Cout$ の値は2つのmビットの数 $A_{32}$ ,  $A_{31}$ , ...,  $A_{17}$ と $B_{32}$ ,  $B_{31}$ , ...,  $B_{17}$ に対して実行された加算の出力キャリアと解釈される。キャリア・ゼネレーター12にアドレス指定された入力キャリア・ビット $C_{in}$ は、第1作動モードのN-1ビット $S_{32}$ ,  $S_{31}$ , ...,  $S_{17}$ ,  $S_{15}$ ,  $S_{14}$ , ...,  $S_0$ の結果に対して、または第2作動モードの出力レジスター5に送られたnビット $S_{15}$ ,  $S_{14}$ , ...,  $S_0$ の結果の何れかに対して、追加されたキャリアを示している。第2入力キャリア・ビット $C_2$ をmビット入力レジスター3, 4に存在する2つの数 $A_{32}$ ,  $A_{31}$ , ...

$A_{17}$ ;  $B_{32}$ ,  $B_{31}$ , ...,  $B_{17}$ に対して実行された加算に更に追加することに依って、演算子10がその第2作動モードが加算を実行するために、この第2入力キャリア・ビット $C_2$ と等しい値が2つのビット $A_{16}$ と $B_{16}$ に指定される。

【0035】演算子10が（タイプA-Bの）減算を実行するために、セレクション・セル116以外のプレコンデショニング回路11のセル100~115, 117~132の各々は、そのロジック・コンビネーション $p_i$ ,  $g_i$ が $p_i = A_i \wedge NB_i$ と $g_i = A_i \cdot B_i$ になるように制御される。これは、そのセル100~115, 117~132の各々に対して $NP1 = NP2 = NG0 = NG1 = NG3 = 0$ と $NP0 = NP3 = NG2 = 1$ （関係式1と2）を実施して求められる。これらの条件のもとで、演算子10の第1作動モードはその第1ロジック・コンビネーション $p_{16}$ が1に等しくなり且つその第2ロジック・コンビネーション $g_i$ が0に等しくなるようにセレクション・セル116を制御し且つ入力キャリア・ビット $C_{in}$ を1にセットして選択され、なおかつ、演算子10の第2作動モードはその第1ロジック・コンビネーション $p_{16}$ が0に等しくなり且つその第2ロジック・コンビネーション $g_{16}$ が1に等しくなり、 $C_{in}$ が1にセットされたままの状態になるように、セレクション・セル116を制御して選択される。

【0036】2つの作動モード間の選択は、例えば、第1モードのセレクション・セル116に対して $NP0 = NP1 = NP2 = NP3 = 1$ と $NG0 = NG1 = NG2 = NG3 = 0$ 、または第2モードのセレクション・セル116に対して $NP0 = NP1 = NP2 = NP3 = 0$ と $NG0 = NG1 = NG2 = NG3 = 1$ の何れかを実施して実行されることが出来る。

【0037】しかし、加算のケースのように、演算子10が減算を実行する時に、セレクション・セル116は、プレコンデショニング回路11の他のセル100~115, 117~132にアドレス指定されたものと同じ2進制御信号 $NP0 \sim NP3$ ,  $NG0 \sim NG3$ を受信することが一般的に好まれる。演算子10の第1作動モードはそこで同じ値をNビットのオペランド2つのビット $A_{16}$ と $B_{16}$ に指定して選択され、なおかつ、演算子10の第2作動モードは値1と0を各々Nビットのオペランドの2つのビット $A_{16}$ と $B_{16}$ に指定して選択される。第2作動モードに於いて、Nビットの結果のビット $S_{16}$ の値はそこで2つのnビットの数 $A_{15}$ ,  $A_{14}$ , ...,  $A_0$ と $B_{15}$ ,  $B_{14}$ , ...,  $B_0$ の間に実行された減算の出力キャリアと解釈され、なおかつ、出力キャリア・ビット $C_{32} = Cout$ の値は2つのmビットの数 $A_{32}$ ,  $A_{31}$ , ...,  $A_{17}$ と $B_{32}$ ,  $B_{31}$ , ...,  $B_{17}$ の間に実行された減算の出力キャリアと解釈される。

【0038】その第2作動モードに於いて、演算子10は、それが入力レジスター1, 2に存在するnビットの

数と $m$ ビット入力レジスター3, 4に存在する $m$ ビットの数に対して異なる演算を実行するように更に制御されることができる。従って、演算子10は、その第2作動モードに於いて、 $n$ ビット入力レジスター1, 2に存在する2つの数 $A15, A14, \dots, A0; B15, B14, \dots, B0$ の間で加算を且つ $m$ ビット入力レジスター3, 4に存在する2つの数 $A32, A31, \dots, A17; B32, B31, \dots, B17$ の間で減算を実行するために制御されることができる。そこで、プレコンデショニング回路11のセル100~115はそれらのロジック・コンビネーション $p_i$ ,  $g_i$ が $p_i = A_i \wedge B_i$ 且つ $g_i = A_i \cdot B_i$  ( $NP0=NP3=NG0=NG1=NG2=0, NP1=NP2=NG3=1$ ) になるように制御され、プレコンデショニング回路11のセル117~132はそれらのロジック・コンビネーション $p_i$ ,  $g_i$ が $p_i = A_i \wedge NB_i$ 且つ $g_i = A_i \cdot NB_i$  ( $NP0=NP3=NG2=1, NP1=NP2=NG0=NG1=NG3=0$ ) になるように制御され、なおかつ、セクション・セル116はその第1ロジック・コンビネーション $p_{16}$ がゼロに等しくなり(例えば $NG0=NG1=NG2=NG3=0$ ) 且つその第2ロジック・コンビネーション $g_{16}$ が1に等しくなる(例えば $NG0=NG1=NG2=NG3=0$ になる)ように制御される。

【0039】同様に、演算子10は、その第2作動モードに於いて、 $n$ ビット入力レジスター1, 2に存在する2つの数 $A15, A14, \dots, A0; B15, B14, \dots, B0$ の間で減算を且つ $m$ ビット入力レジスター3, 4に存在する2つの数 $A32, A31, \dots, A17; B32, B31, \dots, B17$ の間で加算を実行するために制御されることができる。そこで、プレコンデショニング回路11のセル100~115はそれらのロジック・コンビネーション $p_i$ ,  $g_i$ が $p_i = A_i \wedge NB_i$ 且つ $g_i = A_i \cdot NB_i$  ( $NP0=NP3=NG2=1, NP1=NP2=NG0=NG1=NG3=0$ ) になり且つ入力キャリー・ビット $Cin$ を1にセットして制御され、プレコンデショニング回路11のセル117~132はそれらのロジック・コンビネーション $p_{17} \sim p_{32}$ が $p_i = A_i \wedge B_i$ 且つ $g_i = A_i \cdot B_i$  ( $NP0=NP3=NG0=NG1=NG2=0, NP1=NP2=NG3=1$ ) になるように制御され、なおかつ、セクション・セル116はそのロジック・コンビネーション $p_{16}$ ,  $g_{16}$ が0に等しくなるように(例えば $NP0=NP1=NP2=NP3=NG0=NG1=NG2=NG3=0$ ) 制御される。

【0040】演算子10は、同様に、第1の $N$ ビットのオペランド $A32, A31, \dots, A0$ の個々のビットと第2の $N$ ビットのオペランド $B32, B31, \dots, B0$ の対応する個々のビットの間で論理演算を実行するために制御されることができる。演算装置はそこで算術と論理演

算装置(ALU)を構成していることになる。これを行うために、プレコンデショニング回路11の $N$ 個のセル100~132は、それらの第2ロジック・コンビネーション $g_0 \sim g_{32}$ が、 $Cin$ も指定される、予め設定された値に全て等しくなるように制御される。

【0041】例えば、演算子10は $N$ ビットのオペランドの対応するビットの間で次に示す論理演算を実行することができる、すなわち、

—AND (16と異なる $i$ の場合に $S_i = A_i \cdot B_i$ ), ここで $g_i = g_{16} = Cin = 0$  ( $NG0=NG1=NG2=NG3=0$ ),  $p_i = A_i \cdot B_i$  ( $NP0=NP1=NP2=0, NP3=1$ ) および $p_{16}$ は重要でない、

—OR (16と異なる $i$ の場合に $S_i = A_i + B_i$ ), ここで $g_i = g_{16} = Cin = 1$  ( $NG0=NG1=NG2=NG3=1$ ),  $p_i = NA_i \cdot NB_i$  ( $NP0=1, NP1=NP2=NP3=0$ ) および $p_{16}$ は重要でない、および

—排他的OR (16と異なる $i$ の場合に $S_i = A_i \wedge B_i$ ) ここで $g_i = g_{16} = Cin = 0$  ( $NG0=NG1=NG2=NG3=0$ ),  $p_i = A_i \wedge B_i$  ( $NP0=NP3=0, NP1=NP2=1$ ) および $p_{16}$ は重要でない。

#### 【0042】

【発明の効果】本発明は好ましい図示されている実施態様を引用して説明されてきたが、この例は制限があるものでなく且つ多種多様な変形が本発明の範囲を逸脱せずにそこに実施されることが理解される。従って、本発明は、32-ビットの演算、または $n=m=16$ -ビットの2つのパラレルな演算の何れかを実行できる $N=33$ ビットのALUの好まれるケースに於いて説明されてきたが、本発明は、任意の奇数 $N$ と $n=m=(N-1)/2$ 、または $N, n, m$ 全てが任意の数の場合でも、 $N=n+1+m$ であるならば、適用されることもできる。

#### 【図面の簡単な説明】

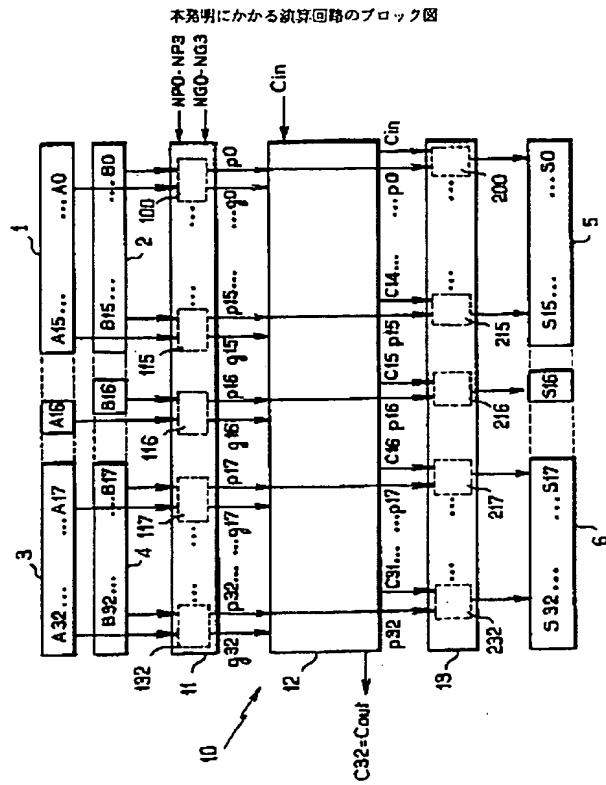
【図1】本発明にかかる演算装置のブロック図である。

【図2】図1に記載されているプレコンデショニング回路のセルの電気回路図である。

#### 【符号の説明】

- 1... $n$ ビット入力レジスター
- 2... $n$ ビット入力レジスター
- 3... $m$ ビット入力レジスター
- 4... $m$ ビット入力レジスター
- 5... $n$ ビット出力レジスター
- 6... $m$ ビット出力レジスター
- 10...演算子
- 11...プレコンデショニング回路
- 12...キャリー・ゼネレーター
- 13...合計回路
- 116...セクション・セル

【図 1】



【図 2】

図 1 に示されるプレコンディショニング回路のセルの電気回路図

